

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭59—183455

⑫ Int. Cl.³
G 06 F 15/16

識別記号

庁内整理番号
K 6619—5B

⑬ 公開 昭和59年(1984)10月18日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ マルチコンピュータシステム

機株式会社北伊丹製作所内

⑮ 特 願 昭58—58211

⑯ 出 願 人 三菱電機株式会社

⑰ 出 願 昭58(1983)3月31日

東京都千代田区丸の内2丁目2
番3号

⑱ 発 明 者 村松菊男

⑲ 代 理 人 弁理士 葛野信一 外1名

伊丹市瑞原4丁目1番地三菱電

明 細 書

1. 発明の名称

マルチコンピュータシステム

2. 特許請求の範囲

位相が互いに180度ずれた2つのシステムクロックのそれぞれ片方を第1のコンピュータブロックおよび第2のコンピュータブロックの基本クロックとすることにより、前記2つのコンピュータブロックを同期化し、共有メモリを時分割でアクセスできるようにしたことを特徴とするマルチコンピュータシステム。

3. 発明の詳細な説明

この発明はマルチ・セントラル・プロセッシング・ユニット(以下単にマルチCPUと言う)を備えたマルチコンピュータシステムに関するものである。

第1図は従来のマルチコンピュータシステムを示すブロック図であり、1例として2個のコンピュータブロックを用いた場合を示す。同図において、(1)は第1CPU、(2)は第1メモリ、(3)は第1入

出力部、(4)は第2CPU、(5)は第2メモリ、(6)は第2入出力部、(7)はバスセクタ、(8)は共有メモリである。

なお、(9)は前記第1CPU(1)、第1メモリ(2)および第1入出力部(3)から構成される第1のコンピュータブロック、(10)は前記第2CPU(4)、第2メモリ(5)および第2入出力部(6)から構成される第2のコンピュータブロックである。

次に上記構成によるマルチコンピュータシステムの動作について説明する。まず、第1のコンピュータブロック(9)および第2のコンピュータブロック(10)はそれぞれ独立して動作している。そして、共有メモリ(8)は常にこの第1のコンピュータブロック(9)か、第2のコンピュータブロック(10)のいずれか一方の支配下にある。また、前記バスセクタ(7)は第1のコンピュータブロック(9)または第2のコンピュータブロック(10)のアドレスバスやデータバスと共有メモリ(8)を接続する機能を持ち、第1のコンピュータブロック(9)が共有メモリ(8)を使用している場合には第2のコンピュータブロック

00からのアクセスを拒否し、2つのコンピュータブロックによる共有メモリ(8)に対するアクセスの競合を防止すると共にこの逆の場合についても同様に防止することができる。また、第1のコンピュータブロック(9)の内部で処理されたデータが第2のコンピュータブロック00でも使用されることわかつている場合には第1のコンピュータブロック(9)によつて処理されたデータはバスセレクト(7)の第1のコンピュータブロック(9)を選択しているゲートを通して共有メモリ(8)に転送される。この間、第2のコンピュータブロック00は共有メモリ(8)を使用することができない。また、第1のコンピュータブロック(9)から共有メモリ(8)への転送が終ると、第2のコンピュータブロック00側にバスセレクト(7)が切り替り、第2のコンピュータブロック00は共有メモリ(8)のデータが使用可能になる。

しかしながら、従来のマルチコンピュータシステムでは一方のコンピュータブロックが共有メモリを使用している間は他方のコンピュータブロッ

クは共有メモリを使うことができない。このため、2つのコンピュータブロックが同時に共有メモリを利用しようとしたときには必ず、どちらか一方のブロックに空き状態(アイドリング)が生じ、システムの処理速度が落ちるなどの欠点があつた。

したがつて、この発明の目的は各コンピュータブロックに空き状態が生じないようにして、システムの処理時間を短縮することができるマルチコンピュータシステムを提供するものである。

このような目的を達成するため、この発明は位相が互いに180度ずれた2つのシステムクロックのそれぞれ片方を第1のコンピュータブロックおよび第2のコンピュータブロックの基本クロックとすることにより、前記2つのコンピュータブロックを同期化し、共有メモリを時分割でアクセスできるようにしたものであり、以下実施例を用いて詳細に説明する。

第2図はこの発明に係るマルチコンピュータシステムの一実施例を示すブロック図である。同図において、00は位相が互いに180度ずれた2つの

システムクロック(ϕ_A) (第3図(a)参照)および(ϕ_B) (第3図(b)参照)を出力するシステムクロック発生回路である。

次に、上記構成に係るマルチコンピュータシステムの動作について第3図(a)および第3図(b)を参照して説明する。まず、システムクロック(ϕ_A)は第1のコンピュータブロック(9)に供給され、システムクロック(ϕ_B)は第2のコンピュータブロック00に供給される。そして、この第3図(a)および第3図(b)に示すシステムクロック(ϕ_A)および(ϕ_B)が高レベルにあるときのみ、アドレスバスやデータバス上のデータが有効になり、低レベルのときにはコンピュータ内部での処理^{を行}なうと共にアドレスバスおよびデータバスは共にハイ・インピーダンス状態になる。したがつて、システムクロック(ϕ_A)が高レベルのタイミングでは第1のコンピュータブロック(9)から共有メモリ(8)がアクセスできる。そして続くシステムクロック(ϕ_B)が高レベルのタイミングでは第2のコンピュータブロック00から共有メモリ(8)がアクセスできる。

このように、第1のコンピュータブロック(9)および第2のコンピュータブロック00を同期化し、共有メモリ(8)を時分割でアクセスすることができる。

なお、上述の実施例では2つのコンピュータブロックの共有部分として、メモリのみを取扱ったが、入出力部に置きかえても同様にできることはもちろんである。

以上詳細に説明したように、この発明に係るマルチコンピュータシステムによれば2つのコンピュータブロックを逆位相のクロックによるパラレル同期運転としたため、2つのCPUに空き時間がなくなり、システムとしての処理速度が向上する。しかも、共有メモリの使用を管理するバスセレクトが不要になり、構成が簡単になるなどの効果がある。

4. 図面の簡単な説明

第1図は従来のマルチコンピュータシステムを示すブロック図、第2図はこの発明に係るマルチコンピュータシステムの一実施例を示すブロック図、第3図(a)および第3図(b)は第2図のシステム

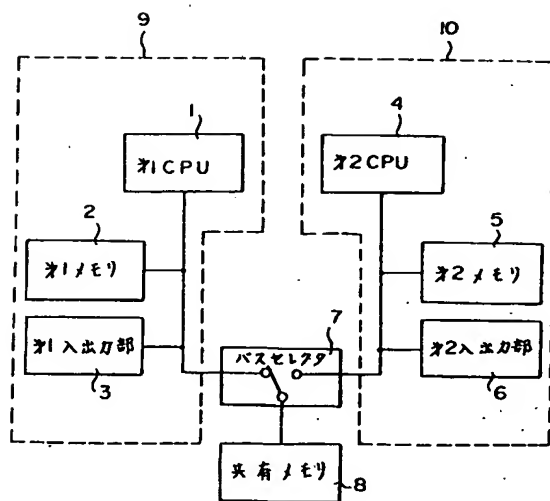
クロックの波形を示す図である。

(1)・・・第1 CPU、(2)・・・第1メモリ、
 (3)・・・第1入出力部、(4)・・・第2 CPU、
 (5)・・・第2メモリ、(6)・・・第2入出力部、
 (7)・・・バスセクタ、(8)・・・共有メモリ、
 (9)・・・第1のコンピュータブロック、(10)・・・
 第2のコンピュータブロック、(11)・・・シ
 ステムクロック発生回路。

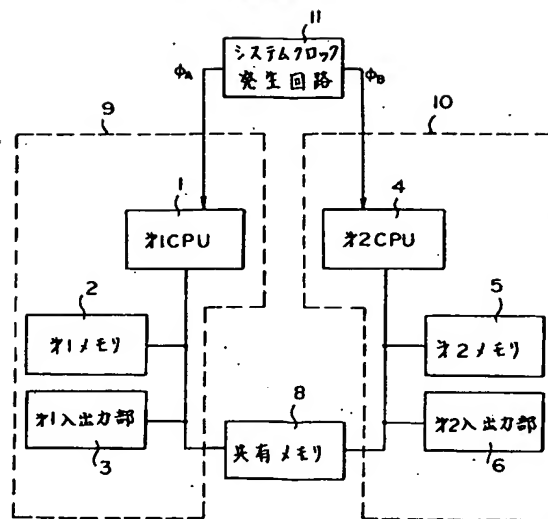
なお、図中、同一符号は同一または相当部分を
 示す。

代理人 葛 野 信 一

第1図



第2図



第3図

